

FPGA*Xpert*

The Fast Track to Success!



< למה דווקא FPGA?

כיום, האוניברסיטאות מכשירות מהנדסים מוכשרים, אך לא מעבירות את ההכנה הספציפית הנדרשת להשתלבות בשוק העבודה, לכן נוצר מחסור בתחום. חברת לוגטל, המכשירה מזה שנים מהנדסים לחברות המובילות, זיהתה מחסור זה ובנתה את FPGAxpert - המסלול הבטוח להצלחה בתחום הפיתוח של FPGA. מסלול ייחודי זה נבנה תוך מטרה להקנות חשיפה מלאה לפיתוח מההיבטים העיקריים של צורכי התעשייה וכדי לגשר באופן היעיל ביותר בין הלימודים האקדמיים לבין צורכי התעשייה. המסלול הקפדני מציע לימוד מעשי של מתודולוגיות פיתוח הכולל שפת הגדרת חומרה, סקירת כלי EDA, תהליך פיתוח FPGA ונגיעה בנושאים וההיבטים החשובים בתהליך ועוד...

< למה דווקא בלוגטל?

בקורס זה תלמד הרבה מעבר לשפות חומרה! החברה העבירה בשנים האחרונות אלפי ימי מודרך במגוון נושאים הקשורים ישירות לתוכן FPGA למהנדסי הפיתוח של החברות המובילות בתעשיות הטלקום, הצבא והביטחון, הרפואה ועוד... המרצים הם מן השורה הראשונה בארץ, בעלי ניסיון עשיר ביותר בתעשייה המקומית והעולמית. לחברה "קבלות" של אלפי מהנדסים מרוצים אשר עברו ועוברים הכשרות ע"י מיטב המרצים. מערכי וחומרי ההדרכה עדכניים ביותר, מקיפים, ברורים ועם דוגמאות לרוב. אנו דוגלים בלימוד עיוני לצד תרגול מעשי מלווה בפרויקט מהתעשייה. הקורס בנוי במתכונת של 120 שעות לימוד ותרגול (ועוד 16 שעות בונוס) שיכללו את הנושאים הרלוונטיים ביותר למהנדסים FPGA: שפת HDL, ארכיטקטורות FPGA, נושאים יסודיים ומקיפים בפיתוח FPGA, הכרת כלים בשימוש בתעשייה ופרויקט לאורך כל הקורס ברמת התעשייה שיכלול ליווי צמוד של המנחה.

בקורס, הסטודנטים יקבלו ערכת פיתוח לטובת פרוייקט מעשי שיתקיים במהלך הקורס.

< נקודות עיקריות שיועברו בקורס

- לימוד שפת תיאור חומרה: VHDL במשך 36 שעות נלמד את מבנה השפה בצורה יסודית ומעמיקה, נלמד כתיבה נכונה ויעילה, כל זאת תוך מימוש במעבדות מעשיות
- FPGA Design - לחלק זה הקצנו 52 שעות שבהן נלמד את המבנה הפנימי של הרכיבים, כיצד ניתן להשתמש במשאבים השונים של הרכיבים, כיצד לקרוא דוחות בצורה נכונה, הממשק בין הרכיב לכרטיס, השיקולים בעריכת כרטיס ועוד...
- הבנת מבנה שעונים פנימי בתוך ה - FPGA
- הבנת מורכבות תזמונים והדרך להתמודד עימם
- יכולת קריאה והבנה של דוחות זמנים של הכלים השונים והבנת צווארי הבקבוק של התכנון, וכיצד ניתן לשפר תזמונים ו/או מיקום על הרכיב

- הבנה מעמיקה של הארכיטקטורה הפנימית של רכיבי FPGA
- כלי פיתוח - לחלק זה הקצנו 12 שעות שבהם הסטודנט ייחשף לכלים שונים וילמד כיצד ניתן להשתמש בהם בצורה נכונה כדי לקבל ביצועים מיטביים. לימוד של כלי פיתוח נפוצים בארץ כמו: Vivado HLx , Logic-Analyzer ועוד...
- פרויקט מעשי - הפרויקט יהיה ברמה של התעשייה ומנחה מטעמינו ילווה את הסטודנט לכל אורך הפרויקט

< מנהל אקדמי

מר זיו סרלין - בעל תואר בהנדסת מחשבים מהטכניון עם התמחות בתקשורת מחשבים ועיבוד אות דיגיטלי, עם מעל ל- 20 שנות ניסיון בפיתוח בתעשייה וניהול והעברת הדרכות בלוגטל.

< למי מיועד הקורס?

• למהנדסים:

- > העובדים בחברות ורוצים לשדרג את עצמם לתפקידי פיתוח יוקרתיים
- > הרוצים לעשות הסבה לתחום ה- FPGA ויש להם רקע בתוכן דיגיטלי

• לחברות:

- > הרוצות לשדרג את הרמה המקצועית של מהנדסי FPGA ע"י השקעה מינימאלית אשר תחזיר עצמה תוך זמן קצר
- > הרוצות להכשיר מהנדסים חדשים מבלי "להכביד" על המהנדסים העמוסים במערכת
- תישקל מועמדותם של הנדסאים מצטיינים או בעלי רקע וניסיון בתחום

< משך הקורס

110 שעות אקדמיות

< היכן מתקיים הקורס?

הקורס מתקיים בדרך יצחק רבין 1, פתח תקווה, קומה שניה.

תכנית הלימודים

שעות	מה נלמד	נושא
5	Design Digital Foundation Designing with programmable logic Synchronous design techniques Using HDLs VHDL/Verilog Design Methodologies Top Down Design Signals and Variables Packages Coding for Synthesis Test benches Technology Specific Code	Digital Design
5	Project Kickoff, explaining and choosing project subjects per teams of two. Distributing FPGA boards, board per attendee	Project
30	HDL for Designers VHDL/Verilog Language Concepts Introduction to Testbenches Signal and Data Types	VHDL / Verilog
5	Project architectures presented by students	Project
5	Xilinx Vivado HLx/Logic-Analyzer ChipScope/SignalTap/Identify	EDA
5	DDR Inter-face, AXI, Clock tree	Casestudy

נושא	מה נלמד	שעות
FPGA Design	FPGA for Designers Basic FPGA Architecture HDL Synthesis Synchronous Design Techniques-details and labs. Reading Reports Global Timing Constrains Clock Tree Designing with FPGA Resources Designing Clock Resources Basics of DSP Slice within a Chip FPGA Design Techniques Synthesis Techniques Achieving Timing Closure Reading Timing Reports Path-Specific Timing Constraints Power Estimation Board Design and Signal Integrity Board Development Process Signal Integrity for High Speed Board Design Verification of Board Design	50
Project	Projects presented by Students	5